

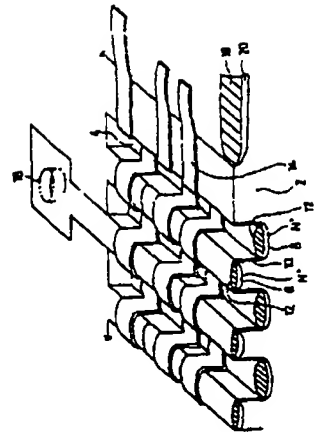
JP 404226071 A
AUG 1992

(5) SEMICONDUCTOR MEMORY DEVICE

(11) 4-226071 (A) (43) 14.8.1992 (19) JP
(21) Appl. No. 3-113921 (22) 17.4.1991 (33) JP (31) 90p.127513 (32) 16.5.1990
(71) RICOH CO LTD (72) YUICHI ANDO
(51) Int. Cl. H01L27 112

PURPOSE: To obtain a higher density of components without deterioration in a planar cell structure.

CONSTITUTION: Parallel grooves 4 are cut in a silicon substrate 2; a trench groove 4 is bottomed with a diffusion layer 6; a diffusion layer 8 is formed on a surface of the substrate 2 which is sandwiched by adjacent trench grooves 4, 4; and a trench groove 4 is sided with a gate oxide film 10. A word line 14 serving as the gate electrode is formed in a direction of crossing orthogonally to the trench groove 4 with the result that a zone of the word line to cross the side face of a trench groove makes its trench groove side face region serve as a channel region. Every memory transistor is constituted of a diffusion layer 6 of a trench groove 4 and a diffusion layer 8 of a substrate surface.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平4-226071

(43) 公開日 平成4年(1992)8月14日

(51) Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/112

8831-4M

H 0 1 L 27/ 10

4 3 3

審査請求 未請求 請求項の数3 (全 8 頁)

(21) 出願番号 特願平3-113921

(22) 出願日 平成3年(1991)4月17日

(31) 優先権主張番号 特願平2-127513

(32) 優先日 平2(1990)5月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 安藤 友一

東京都大田区中馬込1丁目3 6号 株式

会社リコー内

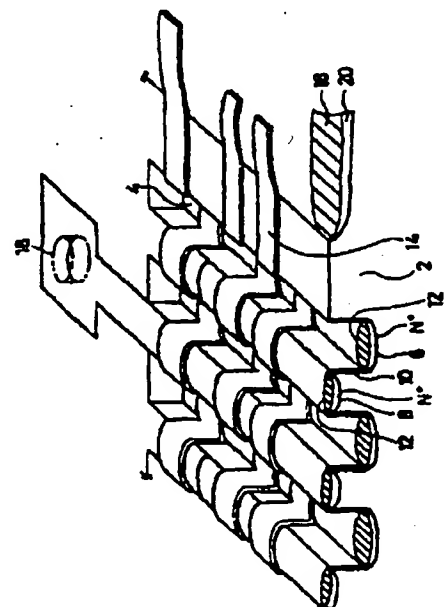
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【目的】 プレーナセル構造でトランジスタ特性を劣化させることなくさらに高集積化を図る。

【構成】 シリコン基板2に互いに平行なトレンチ溝4が形成され、トレンチ溝4の底面には拡散層6が形成され、隣接するトレンチ溝4、4に挟まれた基板2の表面にも拡散層8が形成され、トレンチ溝4の側面にはゲート酸化膜10が形成されている。ゲート電極を兼ねるワードライン14はトレンチ溝4の方向と直交して交差する方向に形成され、ワードライン14がトレンチ溝4の側面を横切る部分ではそのトレンチ溝側面領域がチャネル領域となる。各チャネル領域を含んでトレンチ溝4の底面の拡散層6と基板面の拡散層8の間で1個ずつのメモリトランジスタを構成している。



【特許請求の範囲】

【請求項1】 シリコン基板に互いに平行な溝が形成され、溝の底面と溝間の基板面とにそれぞれ不純物拡散層が形成されてビットラインとなっており、ゲート電極を兼ねるワードラインが前記不純物拡散層と絶縁されて前記不純物拡散層と交差する方向に形成されており、前記ワードライン下の溝側面がチャネル領域となっている半導体メモリ装置。

【請求項2】 帯状の不純物拡散層を有する下層ビットライン層と、この下層ビットライン層上でビットラインと直交する方向に帯状のシリコンエピタキシャル層とワードラインとを面内で交互に含むワードライン層と、このワードライン層上で前記下層ビットライン層のビットラインと同一平面位置に形成された帯状不純物拡散層のビットラインを有する上層ビットライン層とを備え、前記ワードライン層では前記エピタキシャル層と前記ワードラインとの間にゲート酸化膜が形成されて縦方向にチャネルが形成され、前記ワードラインの下面及び上面には絶縁膜が形成されている半導体メモリ装置。

【請求項3】 前記上層ビットライン層上に前記ワードライン層と同一平面構造の帯状のエピタキシャル層とワードラインとを含む上層ワードライン層をさらに備え、この上層ワードライン層上に前記上層ビットライン層のビットラインと同一平面位置に形成された帯状不純物拡散層のビットラインを有する上層ビットライン層をさらに備えて多層にMOSトランジスタが構成される請求項2に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はプレーナセル構造と称される半導体メモリ装置に関するものである。

【0002】

【従来の技術】 一般のMOS型半導体集積回路装置は、フィールド酸化膜によって素子分離を行ない、ソース領域とドレイン領域はゲート電極をマスクにしてセルフアライン法により不純物が基板に導入されて形成されている。ソース領域とドレイン領域のコンタクトはトランジスタ1個について1個又は2個が必要であるため、コンタクトマージンや配線ピッチによって高集積化が妨げられる欠点がある。そこで、その問題を解決するために、プレーナセル構造と称される半導体集積回路装置が提案されている（特開昭61-288464号公報、特開昭63-96953号公報などを参照）。プレーナセル構造では、複数のMOSトランジスタのソース領域のための連続した拡散領域と、複数のMOSトランジスタのドレイン領域のための連続した拡散領域とが互いに平行に基板に形成され、基板上には絶縁膜を介して両拡散領域に交差するワードラインが形成される。

【0003】 プレーナセル構造では、素子分離用にフィールド酸化膜を設ける必要がなく、また、ソース領域と

ドレイン領域が複数のトランジスタで共有されるので、そのコンタクトも数個または数十個のトランジスタに1個の割りで済み、高集積化を図る上で好都合である。提案されているプレーナセル構造の例を図6と図7に示す。図6はメモリー部であり、図7はメモリー部を若干簡略化し、周辺トランジスタ部の一部とともに示した断面図である。メモリー部と周辺トランジスタ部の間や周辺トランジスタ部を分離するために、チャネルストッパ層54とフィールド酸化膜56が形成されている。

【0004】 メモリー部においては、複数のメモリートランジスタについて連続する互いに平行な帯状のN型拡散層42s、42dが形成されている。基板40上にはゲート酸化膜44を介し、拡散層42s、42d上にはゲート酸化膜44より厚いシリコン酸化膜46を介して多結晶シリコン層にてなるゲート電極を兼ねるワードライン48が拡散層42s、42dの長手方向と直交して交差する方向に形成されている。周辺トランジスタにおいて、50sはソース、50dはドレインであり、基板40上にはゲート酸化膜44を介して多結晶シリコン層にてなるゲート電極52が形成されている。

【0005】 メモリー部において、図6で破線で囲まれた領域54は1個のメモリートランジスタを表わしている。各メモリートランジスタは、ROMコードを決めるためにイオン注入によってしきい値が設定されている。例えば、各メモリートランジスタのチャネル領域に例えばボロンを注入してしきい値を高めるか、注入しないでしきい値を低いままとしている。いま、メモリートランジスタ54のワードラインが選択されて電圧が印加されたとき、そのメモリートランジスタ54のしきい値が低いものであればビットライン42dから42sへ電流が流れ、もし、しきい値が高いものであれば電流が流れないので、ビットライン42dに接続されたセンス回路によってROMの内容が読み出される。

【0006】

【発明が解決しようとする課題】 プレーナセル構造において、さらに微細化を図ろうとした場合、拡散層42s、42dによるショートチャネル効果によって微細化が制約される。周辺トランジスタのような通常のMOSトランジスタでは拡散層をLDD構造とすることによりショートチャネル効果の問題を回避できるが、プレーナセル構造ではその構造上LDD構造を採用することは困難である。本発明はプレーナセル構造にトレンチエッチングの技術を組み合わせて、さらに高集積化を図ることを目的とするものである。本発明はまた、メモリ装置を三次元構造にすることによりトランジスタ特性を劣化させることなくさらに高集積化を図ることを目的とするものである。

【0007】

【課題を解決するための手段】 本発明では、シリコン基板に互いに平行な溝が形成され、溝の底面と溝間の基

面とにそれぞれ不純物拡散層が形成されてビットラインとなっており、ゲート電極を兼ねるワードラインが前記不純物拡散層と絶縁されて前記不純物拡散層と交差する方向に形成されており、ワードライン下の溝側面がチャネル領域となっている。また、本発明ではワードライン層を挟む下側のビットライン層と上側のビットライン層の間で、ビットライン間に挟まれたシリコンエピタキシャル層がチャネル領域となり、そのエピタキシャル層に接するゲート酸化膜に接して形成されているワードラインがゲート電極となってMOSトランジスタが縦方向に構成される。チャネル長はワードライン層のエピタキシャル層の厚さで決定される。そのため、平面上でのメモリセルのサイズを覚えることなくエピタキシャル層の厚さを大きくすればチャネル長を長くすることができ、トランジスタ特性を向上させることができる。

【0008】

【作用】チャネル領域をトレンチ溝の側面に形成することにより、図6のプレーナセルROMと同じレイアウトルールを採用すればセルサイズはほぼ1/2に減少される。また、トレンチ溝の深さはチャネル長に対応している

【0009】

【実施例】図1は一実施例のメモリー部を表わしている。2はP型シリコン基板であり、周辺トランジスタ部とメモリー部の間を分離するためにチャネルストップ層20とフィールド酸化膜18が形成されている。シリコン基板2には互いに平行なトレンチ溝4が形成されており、トレンチ溝4の底面にはN型不純物による拡散層6が形成され、隣接するトレンチ溝4、4に挟まれた基板2の表面にもN型不純物による拡散層8が形成されている。トレンチ溝4の側面にはゲート酸化膜10が形成され、トレンチ溝4の底面の拡散層6と基板面の拡散層8はそれぞれゲート酸化膜10よりも厚いシリコン酸化膜12によって被われている。14は多結晶シリコン層にてなるワードラインであり、トレンチ溝4の方向と直交して交差する方向に形成されている。ワードライン14はゲート電極を兼ねており、ワードライン14がトレンチ溝4の側面を横切る部分ではそのトレンチ溝側面領域がチャネル領域となる。各チャネル領域を含んでトレンチ溝4の底面の拡散層6と基板面の拡散層8の間で1個ずつのメモリートランジスタを構成している。

【0010】各メモリートランジスタにはROMコードを決めるためにデータに従ってイオン注入がなされ、しきい値が設定されている。例えばチャネル領域にボロンなどのP型不純物を注入してしきい値を高めるか、注入しないでしきい値を低いままとすることによりROMコードが決められている。トレンチ溝4の側面のうち、ワードライン14の下側領域を除いてチャネルストップ用にボロンなどのP型不純物が注入されている。基板2上

及びワードライン14上にはPSG膜などの層間絶縁膜が形成され、層間絶縁膜のコンタクトホール16を介してメタル配線が基板面の拡散層8と接続される。

【0011】図2は一実施例の動作を説明するための平面図である。トレンチ溝底面の拡散層6と基板面の拡散層8は平面上では交互に連続して配置されている。拡散層6と拡散層8の境界にはトレンチ溝の側面が存在する。図2ではトレンチ溝の側面は境界の1本の線として表現されている。基板面の拡散層8によるビットラインBL1、BL2、BL3、……はコンタクトホール16を介してメタル配線と接続され、トレンチ溝4の底面の拡散層6にはコンタクトホールは形成されていない。これによりメタル配線のピッチが基板面のビットラインのピッチと等しくすることができる。

【0012】破線で囲まれた領域T1～T4はそれぞれメモリートランジスタを表わしており、トレンチ溝側面のチャネル領域を1個ずつ含んでいる。ワードラインWL1を選択したとき、ビットラインBL1とビットラインBL2の間で2個のメモリートランジスタT1、T2のいずれかを選択して読み出すことができ、ビットラインBL1とビットラインBL3の間で2個のメモリートランジスタT3、T4のいずれかを選択して読み出すことができる。一对のビットライン（例えばBL1とBL2）に対し、1個のワードライン（例えばWL1）で2個のメモリートランジスタ（例えばT1、T2）が選択されるので、そのいずれかを指定するためにワードラインWL1、WL2、……の配列の両端にメモリートランジスタ選択用のラインCA、CBが設けられている。図2で斜線の施された領域17はコア注入領域であり、不要なメモリートランジスタが選択されないようにボロンなどのP型不純物がチャネル領域に注入されている。

【0013】図2においてビットラインBL1とBL2の間でメモリートランジスタを読み出す場合について説明する。ワードラインWL1によって2個のメモリートランジスタT1、T2のいずれかを選択する場合、ビットラインBL1をハイレベル、ビットラインBL2をローレベル、ビットラインBL3をフローティング状態、ワードラインWL1をハイレベル、他のワードラインをローレベルとする。メモリートランジスタT1を読み出すときは、選択信号ラインCAをハイレベルとし、CBをローレベルとする。選択信号ラインCBの下側のチャネルはオフのままであるので、メモリートランジスタT2は読み出されず、選択信号ラインCAの下側のチャネルがオンとなってビットラインBL1からその選択信号ラインCAの下側のチャネルを通り、トレンチ溝底面の拡散層からメモリートランジスタT1のチャネル領域に電圧が印加される。もし、メモリートランジスタT1がしきい値の低い状態にデータ書き込みが行なわれているときはトレンチ溝底面の拡散層6から基板面の拡散層8へ電流が流れ、もしそのメモリートランジスタT1のしきい値が高

くなるようにデータ書き込みが行なわれているときは電流は流れない。

【0014】ビットラインBL1、BL2、BL3及びワードラインWL1、WL2、……の電位をそのままにして選択信号ラインCAをローレベル、選択信号ラインCBをハイレベルとすれば、今度はメモリートランジスタT2が選択され、そのデータが読み出される。このようにして各ビットラインとワードライン、それに選択信号ラインCA、CBを選択することにより、任意のメモリートランジスタを読み出すことができる。図2のように、トレンチ溝底面の拡散層と基板面の拡散層のうち、一方にだけコンタクトホールを設けてメタル配線と接続することにより、メモリートランジスタの集積度を上げたときでもメタル配線のピッチをビットラインのピッチの2倍に細くすることができる。

【0015】図3により一実施例のメモリー装置を製造する工程を説明する。

(A) P型シリコン基板2にチャネルストップ層20とフィールド酸化膜18を形成し、メモリー部と周辺トランジスタの間及び周辺トランジスタ間の分離を行なう。図3で右側部分はメモリー部、左側部分は周辺トランジスタ部である。メモリー部のビットラインになる領域にトレンチ溝4を写真製版とエッチングにより形成する。トレンチ溝4の深さはメモリートランジスタのゲートのチャネル長となるため、その深さは0.5~2 μ m程度とする。

(B) 全面を酸化してシリコン酸化膜22を形成し、メモリー部の全ビットラインを形成するためにレジストパターン24を写真製版で形成する。メモリー部に砒素やリンなどのN型不純物25を注入する。このときの注入条件は、10~100KeV程度のエネルギーで、注入量は 10^{14} ~ 10^{15} /cm²とする。このときのイオン注入はトレンチ溝4の側面に不純物が入らないように、注入角は10度以下とする。

【0016】(C) レジスト24を除去し、シリコン酸化膜22を除去した後、メモリー部及び周辺トランジスタのためのゲート酸化を行なう。この酸化工程によりトレンチ溝側面と基板面には100~500Å程度のゲート酸化膜10が形成される。そしてメモリー部のトレンチ溝底面と溝間の基板面の不純物注入領域には増速酸化により500~2000Å程度の厚いシリコン酸化膜12が形成される。また、このゲート酸化の熱処理によりトレンチ溝底面にはN型拡散層6、基板面にもN型拡散層8がそれぞれ0.1~0.3 μ m程度の深さの拡散層が形成される。次に、メモリートランジスタのしきい値制御のためのボロンなどのP型不純物注入26を行なう。このときのイオン注入条件は10~50KeV程度のエネルギーで、注入量は 10^{12} ~ 10^{13} /cm²程度とする。そして、このときのチャネルドーブはトレンチ溝側面に十分注入されるように、注入角を10~70度程度に設

定する。なお、このチャネルドーブのためのイオン注入工程は、メモリー部の拡散層用のイオン注入25の工程前に行なってもよく、又はゲート酸化の前に行なってもよい。

【0017】(D) メモリー部のワードラインと周辺トランジスタのゲート電極のために多結晶シリコン層又はポリサイド層を形成し、写真製版とエッチングを施してワードライン14と周辺トランジスタのゲート電極28を形成する。周辺トランジスタにはソース・ドレイン形成のために砒素などのN型不純物注入30を行なう。

(E) データ記録のためのコア注入を行なう。このとき、コア注入はボロンなどのP型不純物を注入し、注入エネルギーは50~200KeV程度、注入量は 10^{14} ~ 10^{15} /cm²程度とする。また、チャネルドーブのイオン注入と同様に、トレンチ溝側面のチャネル領域に注入されるように、注入角は10~70度程度とする。メモリー部のチャネル領域以外のトレンチ溝側面に、チャネルストップ層用にボロンなどのP型不純物を注入する。このときも不純物がトレンチ溝側面に十分注入されるように、注入角は10~70度程度とする。

【0018】その後、通常通りのプロセスで層間絶縁膜32を形成し、コンタクトホールを形成し、メタル配線36を形成し、パッシベーション保護膜(図示略)を形成する。なお、34は周辺トランジスタのソース・ドレインである。周辺部には図3のNMOSTランジスタの他に、デプレッション型NMOSTランジスタや、CMOSのPMOSTランジスタなどが含まれることがあるが、それらのMOSランジスタの製造プロセスは通常通りであるので、説明は省略してある。

【0019】図4により第2の実施例を示す。この実施例はメモリー部を表わし、縦方向にチャネルを有するメモリートランジスタが2層に形成された例である。図4で(A)は斜視断面図を表わし、(B)はその平面図を表わし、(C)は1層のメモリートランジスタ部のY-Y'線方向での断面図を表わしている。P型シリコン基板60に1層目のN型不純物拡散層によるビットライン62が互いに平行に帯状に形成されて1層目のビットライン層を形成している。そのビットライン層上にはビットラインの方向と直交する方向に延びるP型シリコンエピタキシャル層64と多結晶シリコン層によるワードライン(ゲート電極を兼ねる)70とがビットライン62と直交する方向に平面内で交互に配列されて形成され、1層目のワードライン層を構成している。エピタキシャル層64とワードライン70の間にはゲート酸化膜66が形成され、ワードライン70と1層目のビットライン層の間にはシリコン酸化膜68が形成され、ワードライン70の上面にもシリコン酸化膜72が形成されている。

【0020】1層目のワードライン層上には2層目のビットライン層が形成されている。2層目ビットライン層は1層目のビットライン62と同じ平面位置で同一方向、

に延びるN型拡散層のビットライン76と同一層内でビットライン76間に存在するシリコンエピタキシャル層74とから構成されている。2層目のビットライン層上には2層目のワードライン層が形成されている。2層目のワードライン層も1層目のワードライン層と同じ構造をしており、1層目のワードラインと同一平面位置で同一方向に延びる多結晶シリコン層のワードライン84と、1層目のワードライン層のP型シリコンエピタキシャル層64と同一平面位置で同一方向に延びるP型エピタキシャルシリコン層78とから構成されており、ワードライン84とシリコン層78の間にはゲート酸化膜80が形成され、ワードライン84の下面にはシリコン酸化膜82が形成され、ワードライン84の上面にもシリコン酸化膜86が形成されている。

【0021】2層目のワードライン層上にはさらに3層目のビットライン層が形成されている。この3層目のビットライン層も下層の1層目及び2層目のビットライン層と同じ構造をしており、同じ平面位置のN型拡散層によるビットライン90と同一層内でビットライン90、90間に存在するP型シリコンエピタキシャル層88とから構成されている。図4の実施例は2層のメモリトランジスタが構成されたものであるが、いま1層目ビットライン層と1層目ワードライン層及び2層目ビットライン層で構成されるメモリトランジスタを図4(C)に取り出して示す。ゲート酸化膜68に接するシリコン層64にチャネルが形成され、各メモリトランジスタにはROMコードを決めるためにデータに従ってイオン注入がなされ、しきい値が設定されている。例えばチャネル領域にボロンなどのP型不純物を注入してしきい値を高めるか、注入しないでしきい値を低いままとすることによりROMコードが決められている。

【0022】図5により図4の実施例の製造方法を示す。図5で左側の図は右側の図の矢印の切断位置での断面を表わし、右側の図は左側の図の矢印の切断位置での断面を表わしている。

(A) P型シリコン基板60上に写真製版によってレジストパターンを形成し、それをマスクにして砒素又はリンなどのN型不純物をイオン注入してビットライン62を形成する。このときの注入条件はエネルギー10~200KeVで、注入量は $1.0 \times 10^{13} \sim 1.0 \times 10^{14}$ /cm²程度とする。

(B) 基板の上にエピタキシャル成長によりP型シリコン層64を形成する。シリコン層64の膜厚はトランジスタのチャネル長となるため、0.5~2.0μm程度に最適化する。次に、ゲート電極を兼ねるワードラインを埋め込むために、シリコン層64に写真製版とエッチングにより開口65を形成する。そして、酸化処理を施し、開口65の側壁にはゲート酸化膜66を形成し、開口の底面には酸化膜68を形成する。酸化膜68は底面

増速酸化されてゲート酸化膜よりも厚い酸化膜が形成される。次に、メモリトランジスタのしきい値制御やROMコードのプログラミングのためのイオン注入を斜め方向から、かつ基板を回転させて行なう。このときの注入条件はボロンなどのP型不純物を注入エネルギー10~200KeV、注入量 $10^{14} \sim 10^{15}$ /cm²程度とする。

【0023】(C) 多結晶シリコン層をCVD法などにより堆積し、エッチバックを施して平坦化を行ない、開口64に多結晶シリコン70を埋め込む。埋め込まれた多結晶シリコン層70の表面にはその上に形成される次のビットライン層と絶縁するためにシリコン酸化膜を堆積し、エッチバックを施して多結晶シリコン層70上にシリコン酸化膜72を残す。

(D) 2層目のビットライン層を形成するために、ワードライン層上にP型シリコンエピタキシャル層74を堆積し、その後写真製版によりレジストパターンを形成し、そのレジストパターンをマスクにしてN型不純物を注入してN型拡散層76を形成する。拡散層76へのN型不純物の注入条件は1層目のビットライン62を形成したときと同じ条件とする。ビットライン62と76は同一平面位置にあり、間に挟まれているワードライン70と直交する方向に形成されている。

【0024】(E) 上記の(B)から(D)の工程を繰り返すことにより上部に同じ構造のMOSTランジスタが形成される。すなわち、2層目のビットライン層上には2層目のワードライン層が形成され、その2層目のワードライン層には1層目のワードライン層と同じ平面位置に形成されたP型シリコンエピタキシャル層78と多結晶シリコンのワードライン84が設けられ、シリコン層78とワードライン84の間にはゲート酸化膜80が形成され、ワードライン84の下面にはシリコン酸化膜82が形成され、上面にもシリコン酸化膜86が形成されている。また、2層目のワードライン層上に形成された3層目のビットライン層には1層目及び2層目のビットライン層と同一平面位置に形成されたN型不純物層によるビットライン90と、P型シリコンエピタキシャル層88が形成されている。その後、通常通りのプロセスにより周辺回路部を形成し、コンタクトホールやメタル配線を形成する。

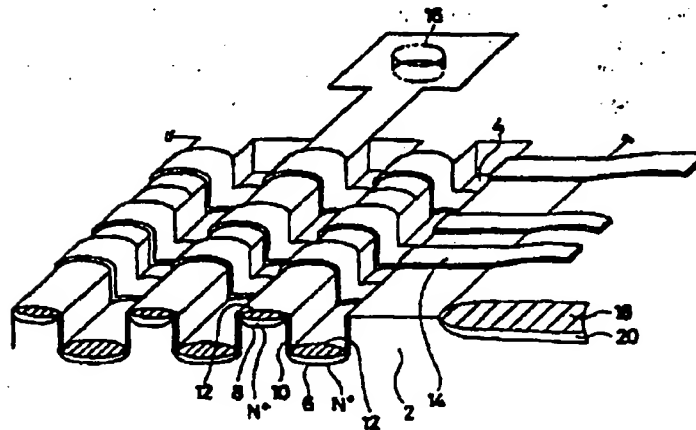
【0025】(E)のように形成された2層のMOSTランジスタでは、例えば1層目のビットライン層のビットライン62と3層目のビットライン層のビットライン90をドレインとし、2層目のビットライン層のビットライン76をソースとするように用いることができる。これにより、ソース76を共通とする上側と下側の2層のメモリトランジスタが構成されることになる。実施例はNチャネル型のメモリトランジスタを例にしているが、導電型を逆にしたPチャネル型のメモリトランジスタに本発明を適用することもできる。

【0026】

【発明の効果】本発明で、基板にトレンチ溝を形成し、トレンチ溝底面と基板面とにそれぞれ拡散層を形成するとともに、トレンチ溝側面にチャネル領域を形成すれば、チャネル領域のための平面上のスペースが不要となり、平面型のプレーナセル構造と比べると同じレイアウトルールを用いればセルサイズを約1/2にすることができる。チャネルをトレンチ溝の側面に設けると、トレンチ溝の深さを設定することによりチップサイズに関係なくチャネル長を決定することができる。また、チャネルをシリコンエピタキシャル層の厚さ方向に形成すれば、チャネル長がシリコンエピタキシャル層の厚さで決定され、平面上ではセルサイズを大きくすることなくチャネル長を長くできてトランジスタ特性を向上させることができる。メモリトランジスタを多層に配置すれば、メモリ装置の集積度をさらに高めることができる。

【図面の簡単な説明】

【図1】一実施例を示す斜視断面図である。



【図1】

【図2】同実施例の動作を説明する平面図である。

【図3】同実施例の製造方法を示す工程断面図である。

【図4】他の実施例を示す図であり、(A)は斜視断面図、(B)は平面図、(C)はそのY-Y'線位置での部分断面図である。

【図5】図4の実施例の製造方法を示す工程断面図である。

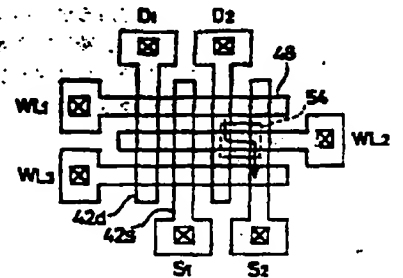
【図6】従来のプレーナセル構造を示す平面図である。

【図7】同従来例の周辺トランジスタまでも含む断面図である。

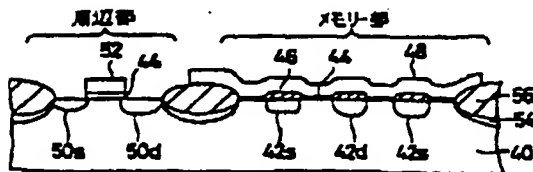
【符号の説明】

2, 60	シリコン基板
4	トレンチ溝
6	溝底面の拡散層
8	基板面の拡散層
10, 66, 80	ゲート酸化膜
14, 70, 84	ワードライン
64, 78	シリコンエピタキシャル層

【図6】



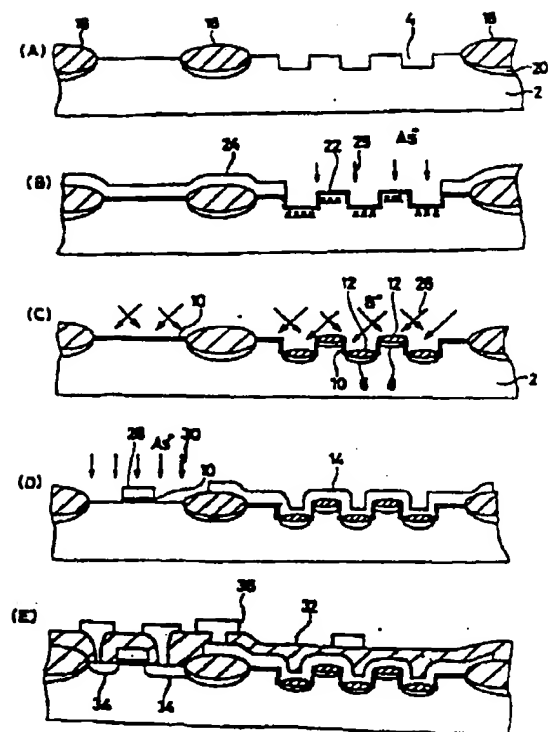
【図7】



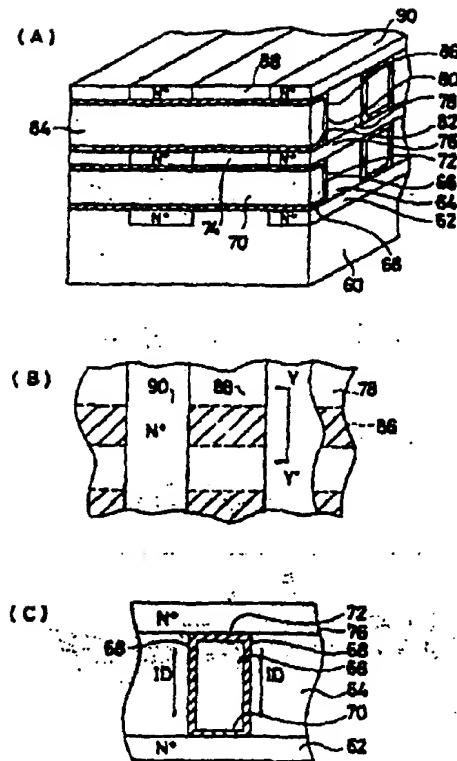
【图 2】



【图 3】



【図4】



【図5】

